

Patent



Customer No. 31561
Application No.: 10/605,306
Docket No. 11516-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Kuan et al.
Application No. : 10/605,306
Filed : Sep. 22, 2003
For : SEMICONDUCTOR DEVICE AND FABRICATING
METHOD THEREOF
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

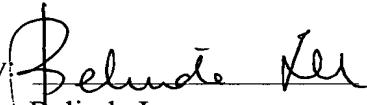
Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 092119109, filed on: 2003/07/14.

A return prepaid postcard is also included herewith.

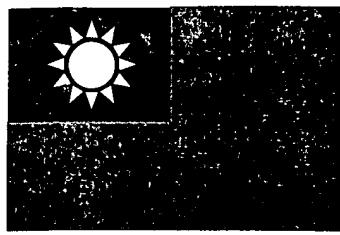
Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 25, 2004

By: 
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 07 月 14 日
Application Date

申 請 案號：092119109
Application No.

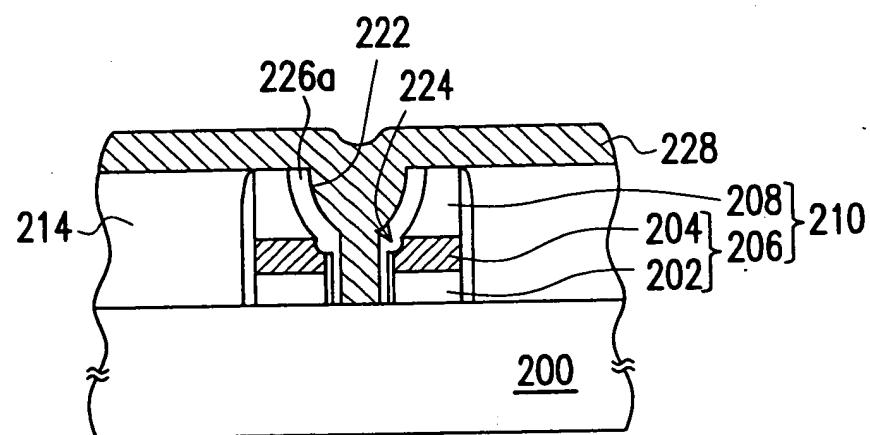
申 請 人：南亞科技股份有限公司
Applicant(s)

局 長
Director General

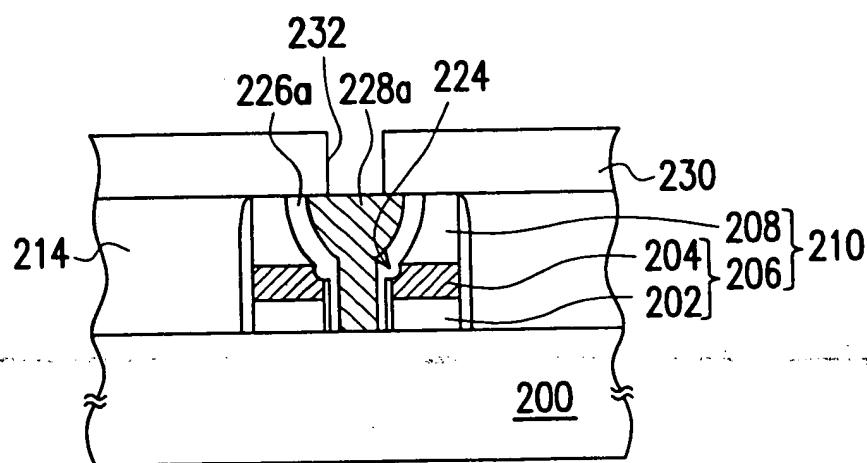
蔡 繼 生

發文日期：西元 2003 年 10 月 9 日
Issue Date

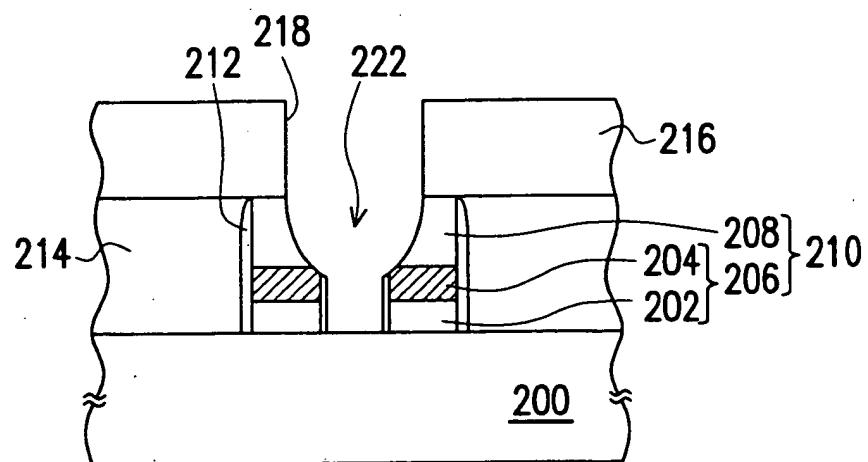
發文字號：09221018840
Serial No.



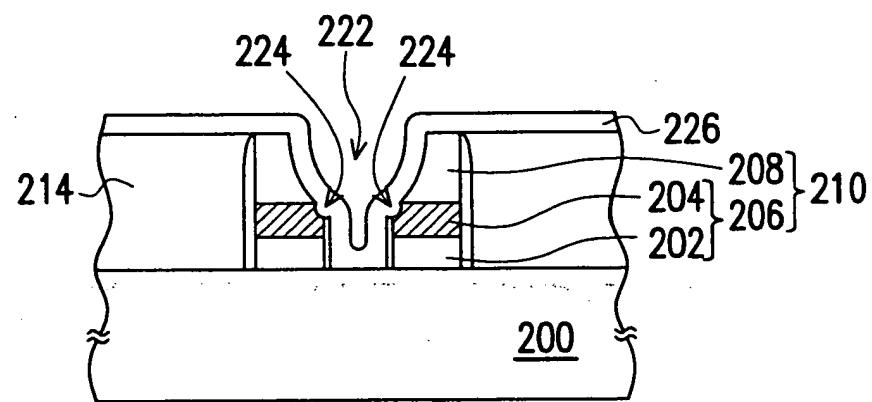
第 2D 圖



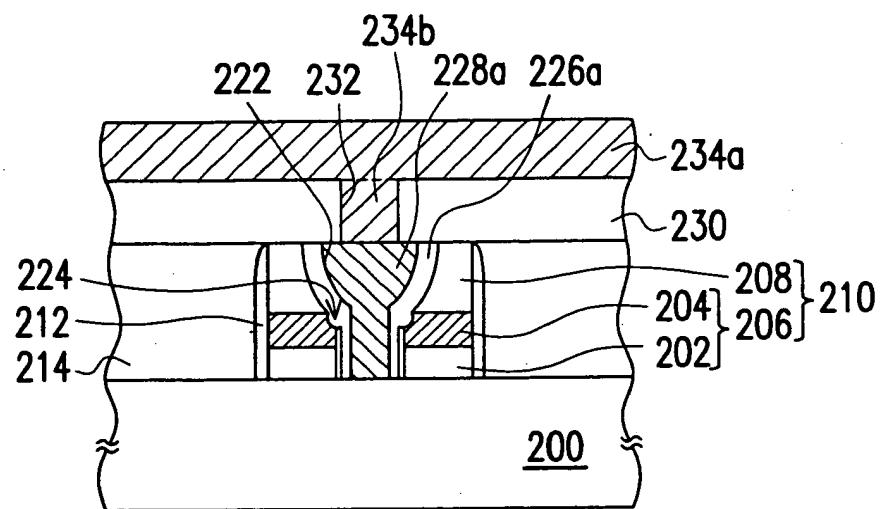
第 2E 圖



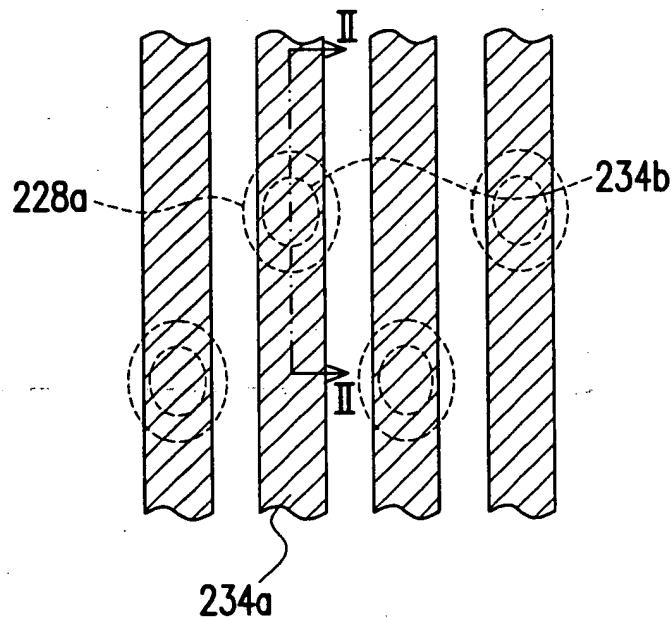
第 2B 圖



第 2C 圖



第 2F 圖



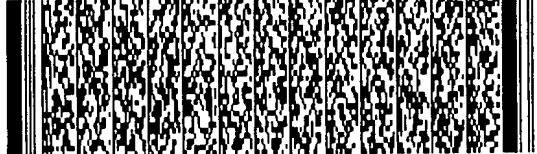
第 3 圖

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	半導體元件及其製造方法
	英文	SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 管式凡 2. 吳國堅
	姓名 (英文)	1. Kuan Shih Fan 2. Kuo-Chien Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉南順七街32巷2號6樓 2. 苗栗市中苗里中正路547號
	住居所 (英文)	1. 6F., No. 2, Lane 32, Nanshun 7st St., Lujhu Township, Taoyuan County 338, Taiwan (R.O.C.) 2. No. 547, Jungjeng Rd., Miaoli City, Taiwan 360, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAOYUAN, TAIWAN, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



四、中文發明摘要 (發明名稱：半導體元件及其製造方法)

一種半導體元件及其製造方法，此方法係在基底上形成導體結構、間隙壁與介電層，之後，蝕刻去除部分的導體結構的頂蓋層、間隙壁與介電層，以形成漏斗狀的開口。其後，將漏斗狀開口所裸露的導體結構中的導體層之肩部去除，以形成肩部凹陷，之後，於漏斗狀開口的側壁覆蓋一襯層，再於其中形成漏斗狀下部插塞。其後，在基底上形成另一介電層，並於其中形成與漏斗狀下部插塞電性連接的上部插塞，接著再於基底上形成導線。

伍、(一)、本案代表圖為：第_2F_圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

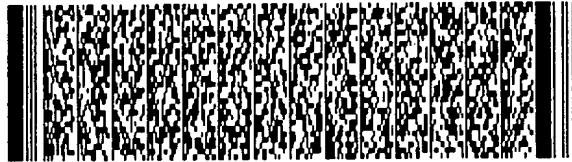
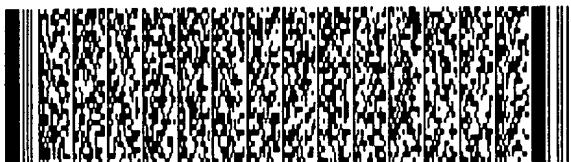
202：複晶矽層

204：矽化金屬層

206：導體層

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME)

A semiconductor device and a method of fabricating the same are disclosed. A conductive structure is formed on a substrate, and then a spacer is formed on the sidewall of conductive structure. Thereafter, a dielectric layer is formed on the substrate. A portion of a cap layer of the conductive structure, the spacer and the dielectric layer are removed to form a funneling

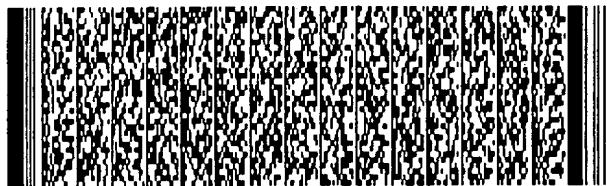


四、中文發明摘要 (發明名稱：半導體元件及其製造方法)

208 : 頂蓋層
210 : 導體結構
212 : 間隙壁
214 : 介電層
216、230 : 介電層
218、232 : 開口
222 : 漏斗狀開口
224 : 肩部凹陷 / 肩部倒角
226、226a : 襯層
228 : 導體層
228a : 下部插塞
234a : 導線
234b : 上部插塞

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME)

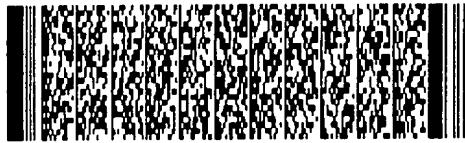
type opening exposing the substrate. The shoulder part of a conductive layer of the conductive structure exposed by the funneling type opening is removed to form a shoulder recess. A liner layer is formed on the sidewall and the bottom of the funneling type opening, and then a lower portion contact plug is formed in the funneling type opening. A second dielectric layer is formed on



四、中文發明摘要 (發明名稱：半導體元件及其製造方法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME)

the substrate, and an upper portion contact plug connected to the lower portion contact plug is formed in the second dielectric layer. Thereafter, a wire line connected to the upper portion contact plug is formed on the second dielectric layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種積體電路及其製造方法，且特別是有關於一種半導體元件及其製造方法。

先前技術

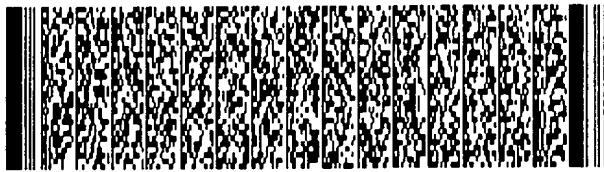
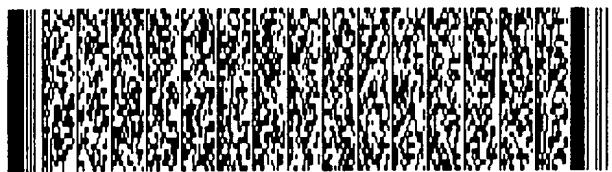
積體電路的元件係藉由金屬內連線來使彼此連接。典型的金屬內連線的製造方法係在介電層中形成金屬插塞，然後，再於基底上形成與金屬插塞連接的金屬導線。隨著元件的高度積集化，請參照第1圖，為了降低接觸窗開口高寬比(aspect ratio)過高所造成的蝕刻與沉積的困難度，並且為了能在有限的晶片面積下製作較多的金屬導線10，目前所製作金屬內連線的接觸窗插塞20關鍵尺寸大於金屬導線10的關鍵尺寸。

接觸窗插塞20的關鍵尺寸較大，因此，在形成接觸窗開口時的對準裕度非常小，一旦發生錯誤對準，很可能會使得相鄰的導體結構例如是閘極結構中的導體層裸露出來，造成後續形成之接觸窗插塞與導體結構發生短路的問題。

另一方面，由於接觸窗插塞20的關鍵尺寸大於金屬導線10，而相鄰兩條金屬導線10的間距又非常窄，因此，在進行金屬導線10的微影製程時，其疊對裕度非常小，一旦發生錯誤對準，所形成之金屬導線10很可能會與鄰行之插塞電性連接，而發生短路的問題。

發明內容

因此本發明的目的就是在提供一種半導體元件及其製



五、發明說明 (2)

作的方法，以增加金屬內連線之疊對裕度。

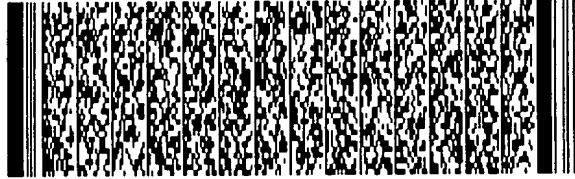
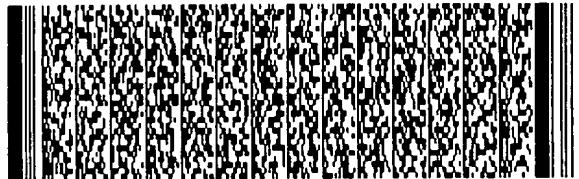
本發明的目的再一目的是提供一種半導體元件及其製作的方法，以避免接觸窗插塞與相鄰之導體結構發生短路的問題。

本發明提出一種半導體元件及其製造方法，此方法係在基底上形成導體結構、間隙壁與介電層，之後，蝕刻去漏的導體結構的頂蓋層、間隙壁與介電層，以形成中狀的開斗狀的開口。其後，將漏斗狀開口所裸露的導體結構下部插塞。其後，將漏斗狀開口所裸露的導體結構下部插塞。其後，將漏斗狀開口所裸露的導體結構下部插塞。其後，在基底上形成另一介電層，並於其中形成與漏斗狀下部插塞電性連接的上部插塞，接著再於基底上形成導線。

本發明係將接觸窗/介層窗插塞拆成兩段，即拆成下部插塞與上部插塞分別製作，因此，在製作接觸窗/介層窗時，可以降低接觸窗/介層窗開口的高寬比，降低蝕刻製程與導體層沉積製程的困難度。

由於上部插塞的關鍵尺寸小於漏斗狀下部插塞上端的關鍵尺寸，因此在進行上部插塞的開口的微影製程時，其對於下部插塞的對準裕度非常大。此外，由於上部插塞的關鍵尺寸較小，因此，在定義形成導線時，其與上部插塞之間具有較大的對準裕度，較不會發生錯誤對準所導致的短路問題。

另一方面，本發明在導體結構之導體層形成肩部倒角或肩部凹陷，可以使得後續形成的襯層在該處具有較厚的



五、發明說明 (3)

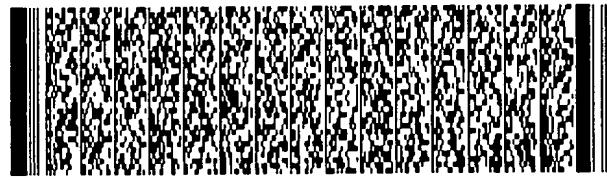
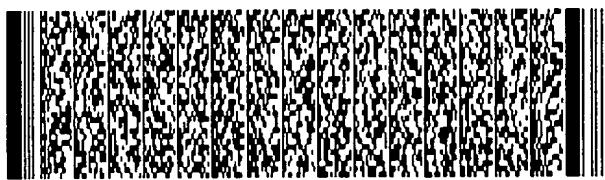
厚度，因此，下部插塞與導體層之間，特別是與導體層的肩部之間可具有足夠厚的襯層來加以隔絕，故而能避免插塞與導體層之間發生短路。

本發明又提出一種半導體元件，此元件包括數個導體結構、數個下部插塞、數個上部插塞、數個導線、一襯層與一介電層。導體結構係位於一基底上。下部插塞係呈漏斗狀，其配置於相鄰的導體結構之間，且與基底電性連接。襯層，係配置於相鄰的導體結構與下部插塞之間。上部插塞，係配置於下部插塞上，下部插塞中與上部插塞之關鍵尺寸。導線係與上部插塞電性連接。介電層，配置於導體結構之間、下部插塞之間、上部插塞之間以及導線之間。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

請參照第2A圖，在基底200上形成數個導體結構210，各導體結構210至少包括一導體層206與一頂蓋層208。導體層206例如是由複晶矽層202與矽化金屬層204所構成；頂蓋層208例如是一氮化矽層。接著，在導體結構210的側壁形成一間隙壁212。間隙壁212之材質例如是氮化矽，其形成的方法例如是化學氣相沉積法。其後，在基底100上形成一介電層214。介電層214之形成方法例如是在基底100上先形成一層覆蓋頂蓋層208並填滿導體結構210間之



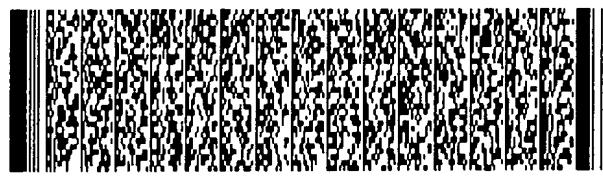
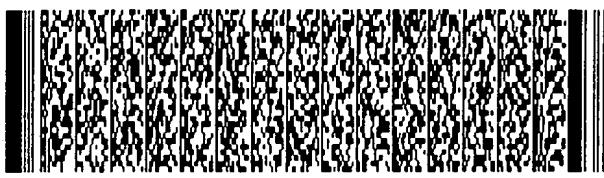
五、發明說明 (4)

間隙的介電材料層，然後，進行化學機械研磨製程，以研除頂蓋層208上的介電材料層。介電層214之材質例如是氧化矽或硼磷矽玻璃(BPSG)。

之後，請參照第2B圖，在基底200上形成一層光阻層216，此光阻層216具有一開口218，其裸露出相鄰兩個導體結構210之間的介電層214。其後，以光阻層216為罩幕，選擇對於頂蓋層208/介電層214之間具有低選擇比的蝕刻劑進行非等向性蝕刻製程，以去除開口218所裸露的介電層214以及部分的頂蓋層212與間隙壁212，使導體層206之肩部，例如是矽化金屬層204的肩部裸露出來。由於所選用之蝕刻劑係對頂蓋層208/間隙壁212與介電層214之間具有低選擇比，但對於頂蓋層208/間隙壁212具有較低蝕刻率，而對介電層214具有較高蝕刻率，因此，在進行蝕刻製程之後，所形成之開口222呈漏斗狀。

其後，請參照第2C圖，移除光阻層216。然後，去除漏斗狀開口222所裸露之部分導體層206，即矽化金屬層204之肩部，以使矽化金屬層204形成一肩部倒角或肩部凹陷224。之後，在基底200上形成一層襯層材料層226，以覆蓋介電層214、頂蓋層208以及漏斗狀開口222的側壁與底部。襯層材料層226之材質為絕緣材料，例如是氮化矽或氧化矽，形成的方法例如為化學氣相沉積法，較佳的襯層材料層226係與後續形成之介電層230之材質不相同者。

其後，請參照第2D圖，進行非等向性回蝕刻，以去除覆蓋在介電層214與頂蓋層208上以及漏斗狀開口222底部



五、發明說明 (5)

的襯層材料層226，留下漏斗狀開口222側壁上的襯層材料層226a，以形成一襯層。由於導體層206具有一肩部倒角或肩部凹陷224，因此，在導體層206肩部處的襯層226a的厚度較厚。之後，在基底200上形成一層導體層228，以覆蓋介電層214、導體結構210，並填入漏斗狀開口222之中，其材質例如是金屬層，如鎢，或是摻雜的複晶矽層。

之後，請參照第2E圖，進行化學機械研磨製程，以去除覆蓋在介電層214與導體結構210上的導體層228，留下漏斗狀開口222之中的導體層228a，以形成一下部插塞。其後，在基底200上形成一層介電層230。此介電層230具有一開口232，其裸露出部分的下部插塞228a，且其關鍵尺寸係小於漏斗狀開口222其開口端的關鍵尺寸。介電層230之材質例如是氧化矽，其形成的方法例如是化學氣相沉積法。若是所選用的襯層226a，其材質與介電層230不同，即使在形成開口232的微影製程發生錯誤對準，在後續蝕刻介電層230時，襯層226a可作為蝕刻終止層，而不會遭到蝕刻的破壞。

其後，請參照第2F圖，在基底200上形成另一層導體層，以覆蓋介電層230並填入開口232之中，其中填在開口232之中的導體層，係形成一上部插塞234b。導體層材質例如是金屬層，如鎢，或是摻雜的複晶矽層。之後，進行微影、蝕刻製程，將導體層圖案化，以形成導線234a。

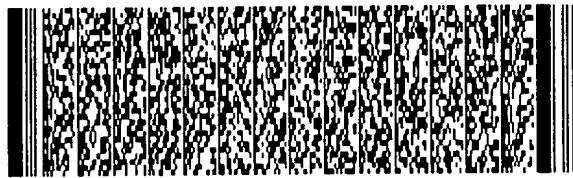
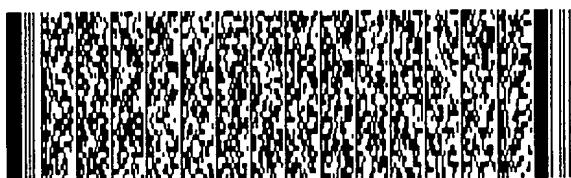
請參照第2F圖與第3圖，本發明之半導體元件包括數個導體結構210、數個下部插塞228a、數個上部插塞

五、發明說明 (6)

234b、數個導線234a、襯層226a與介電層214、230。導體結構210係位於一基底200上。下部插塞228a係呈漏斗狀，其配置於相鄰的導體結構210之間，且與基底200電性連接。襯層226a，係配置於相鄰的導體結構210與下部插塞228a之間。上部插塞234b，係配置於下部插塞228a上，下部插塞228a中與上部插塞234b連接之處的關鍵尺寸係大於上部插塞234b之關鍵尺寸。導線234a係與上部插塞234b電性連接介電層214，係配置於導體結構210之間、下部插塞228a之間。介電層230係配置於上部插塞234b之間以及導線234a之間。

當本發明係應用於記憶元件時，導體結構210例如是一閘極結構，而閘極結構則包含閘介電層(未繪示)、複晶矽層202、矽化金屬層204與頂蓋層212。導線234a則為一位元線，上部插塞234b與下部插塞228a則共組成一位元線接觸窗。

本發明係將接觸窗/介層窗插塞拆成兩段，即拆成下部插塞228a與上部插塞234b分別製作，因此，在製作接觸窗/介層窗時，可以降低接觸窗/介層窗開口的高寬比，降低蝕刻製程與導體層沉積製程的困難度。特別值得一提的是，在製作下部插塞228a時，可利用非等向性蝕刻製程輕易地蝕刻介電層214、頂蓋層208與間隙壁212，而形成漏斗狀的開口222。由於漏斗狀開口222其開口端的關鍵尺寸大於開口232的關鍵尺寸，因此，在介電層230形成開口232的微影製程時，其對於下部插塞228a的對準裕度非常

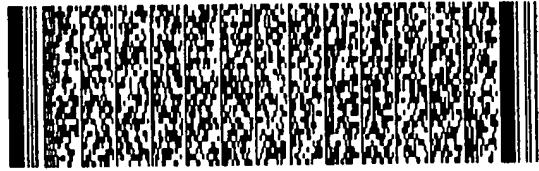
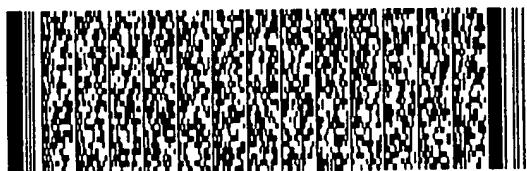


五、發明說明 (7)

大。此外，由於開口232的關鍵尺寸較小，因此，在定義)
形成導線234a時，其與開口232之中的上部插塞234b之間
具有較大的對準裕度，較不會發生錯誤對準所導致的短路
問題。

另一方面，本發明將導體結構210其導體層206的肩部
去除，其所形成的肩部倒角或肩部凹陷224，可以使得後
續形成的襯層226a在該處具有較厚的厚度，因此，下部插
塞228a與導體層206之間，特別是與導體層206的肩部之間
可具有足夠厚的襯層226a來加以隔絕，故而能避免插塞與
導體層之間發生短路。

雖然本發明已以一較佳實施例揭露如上，然其並非用
以限定本發明，任何熟習此技藝者，在不脫離本發明之精
神和範圍內，當可作些許之更動與潤飾，因此本發明之保
護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是係繪示習知一種金屬內連線之上視圖。)

第2A圖至第2F圖是依照本發明實施例所繪示之金屬內連線之製造方法之流程剖面示意圖。

第3圖是係繪示第2F圖之上視圖。

圖式標記說明：

200：基底

202：複晶矽層

204：矽化金屬層

206：導體層

208：頂蓋層

210：導體結構

212：間隙壁

214：介電層

216、230：介電層

218、232：開口

222：漏斗狀開口

224：肩部凹陷/肩部倒角

226、226a：襯層

228：導體層

228a：下部插塞

234a：導線

234b：上部插塞



六、申請專利範圍

1. 一種半導體元件的製造方法，該方法包括：

提供一基底；

在該基底上形成複數個導體結構，各該導體結構包括一導體層與一頂蓋層，該頂蓋層位於該導體層上；

於各該導體結構的側壁形成一間隙壁；

於該基底上形成一第一介電層；

去除相鄰之各該導體結構之間的部分該第一介電層、部分該頂蓋層與該間隙壁，以形成複數個第一開口；

於各該第一開口中形成一下部插塞；

於該基底上形成一第二介電層；

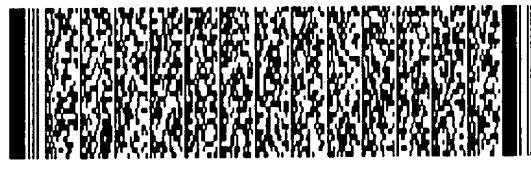
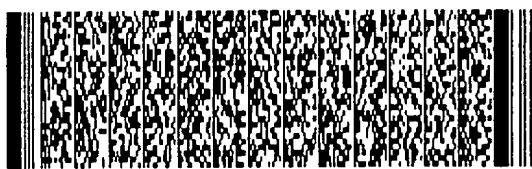
於該第二介電層形成複數個第二開口，各該第二開口係裸露出部分各該插塞，且其關鍵尺寸小於該些第一開口之開口端的關鍵尺寸；

於各該第二開口中形成一上部插塞；以及

於該第二介電層上形成複數個導線，以與該些上部插塞電性連接。

2. 如申請專利範圍第1項所述之半導體元件的製造方法，其中該第一開口為一漏斗狀開口。

3. 如申請專利範圍第2項所述之半導體元件的製造方法，其中形成該些漏斗狀開口的方法，係在去除相鄰之各該導體結構之間的部分該第一介電層、部分頂蓋層與間隙壁時進行一非等向性性蝕刻製程，該非等向性性蝕刻製程係選用一對於該頂蓋層/該間隙壁層與該第一介電層具有低蝕刻選擇比，但該頂蓋層/該間隙壁層之蝕刻率較低、該第



六、申請專利範圍

一介電層之蝕刻率較高之蝕刻劑。

4. 如申請專利範圍第1項所述之半導體元件的製造方法，其中在去除相鄰之各該導體結構之間的部分該第一介電層、部分該頂蓋層與該間隙壁以形成該些第一開口之步驟中，該些第一開口係裸露出各該導體層之一肩部，且在形成該些第一開口之後更包括：

去除各該導體層之該肩部，以形成一肩部凹陷；以及於各該第一開口的側壁形成一襯層。

5. 如申請專利範圍第4項所述之半導體元件的製造方法，其中形成於各該第一開口的側壁形成該襯層的方法包括：

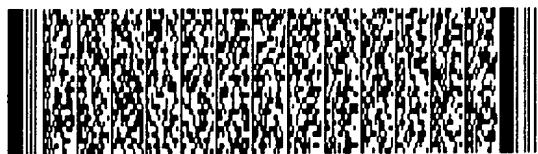
於該基底上形成一襯層材料層，以覆蓋該第一介電層、該些導體結構與各該第一開口之側壁與底部；以及非等向性蝕刻該襯層材料層，以在該第一開口的側壁形成該襯層。

6. 如申請專利範圍第5項所述之半導體元件的製造方法，其中該襯層材料層之材質係與該第二介電層之材質不同。

7. 如申請專利範圍第4項所述之半導體元件的製造方法，其中形成該上部插塞與該些導線的步驟包括：

於該基底上形成一第二導體層，以覆蓋該第二介電層並填滿各該第二開口，其中填在各該第二開口之該第一導體層係形成各該上部插塞；以及

圖案化該第二導體層，以形成該些導線。



六、申請專利範圍

8. 如申請專利範圍第1項所述之半導體元件的製造方法，其中形成該上部插塞與該些導線的步驟包括：

於該基底上形成一第二導體層，以覆蓋該第二介電層並填滿各該第二開口，其中填在各該第二開口之該第二導體層係形成該上部插塞；以及

圖案化該第二導體層，以形成該些導線。

9. 一種半導體元件的製造方法，該方法包括：

提供一基底；

在該基底上形成複數個導體結構，各該導體結構包括一導體層與一頂蓋層，該頂蓋層位於該導體層上；

於各該導體結構的側壁形成一間隙壁；

於該基底上形成一介電層；

去除相鄰之各該導體結構之間的部分該介電層、部分該頂蓋層與該間隙壁，以形成複數個開口，這些開口係露出各該導體層之一肩部；

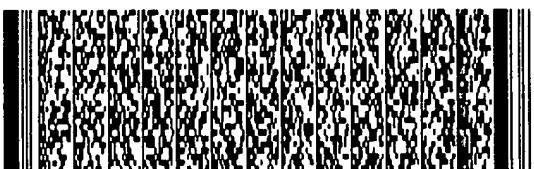
去除各該導體層之該肩部，以形成一肩部凹陷；

於該些開口的側壁形成一襯層；以及

於該些開口中形成一導體插塞。

10. 如申請專利範圍第9項所述之半導體元件的製造方法，其中該些開口為一漏斗狀開口。

11. 如申請專利範圍第10項所述之半導體元件的製造方法，其中形成該漏斗狀開口的方法，係在去除相鄰之各該導體結構之間的部分該介電層、部分該頂蓋層與該間隙壁時進行一非等性性蝕刻製程，該非等向性蝕刻製程係選



六、申請專利範圍

用一對於該頂蓋層與該介電層具有低蝕刻選擇比，但該頂蓋層/該間隙壁層之蝕刻率較低、該介電層之蝕刻率較高之蝕刻劑。

12. 如申請專利範圍第9項所述之半導體元件的製造方法，其中形成於該些開口的側壁形成該襯層的方法包括：

於該基底上形成一襯層材料層，以覆蓋該介電層、該些導體結構與該些開口之側壁與底部；以及

非等向性蝕刻該襯層材料層，以在該些開口的側壁形成該襯層。

13. 如申請專利範圍第12項所述之半導體元件的製造方法，其中該襯層材料層之材質係與該介電層之材質不同。

14. 一種半導體元件，包括：

複數個導體結構，配置在一基底上；

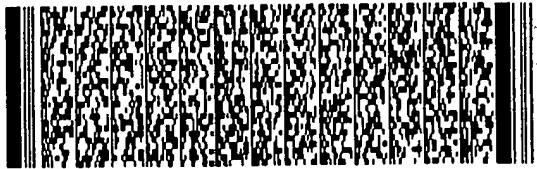
複數個下部插塞，配置於該些相鄰的導體結構之間，且與該基底電性連接；

一襯層，配置於該些相鄰的導體結構與該些導體插塞之間；

複數個上部插塞，配置於該些下部插塞上，其中該些下部插塞中與上部插塞連接之處的關鍵尺寸大於該些上部插塞之關鍵尺寸；

複數個導線，與該些上部插塞電性連接；以及

一介電層，配置於該些導體結構之間、該些下部插塞之間、該些上部插塞之間以及該些導線之間。



六、申請專利範圍

15. 如申請專利範圍第14項所述之半導體元件，其中該下部插塞為一實心漏斗狀。

16. 如申請專利範圍第14項所述之半導體元件，其中該上部插塞為一柱狀。

17. 如申請專利範圍第14項所述之半導體元件，其中各該導體結構包括一導體層，該導體層具有一肩部凹陷。

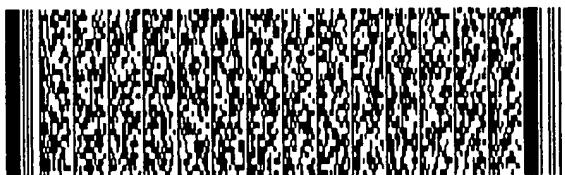
18. 一種半導體元件，包括：

複數個導體結構配置在一基底上，各該導體結構包括一導體層與一頂蓋層，其中任二相鄰之各該導體結構之該導體層具有一肩部凹陷；

複數個導體插塞配置於該些相鄰的導體結構之間，與該基底電性連接；以及

一襯層，配置於該些相鄰的導體結構與該些導體插塞之間。

19. 如申請專利範圍第18項所述之半導體元件，其中該導體插塞為一實心漏斗狀。

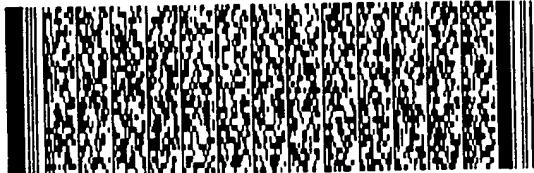
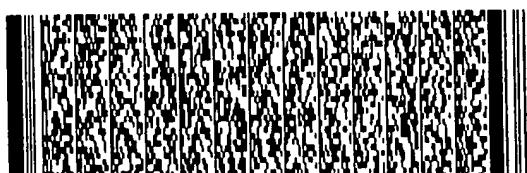


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

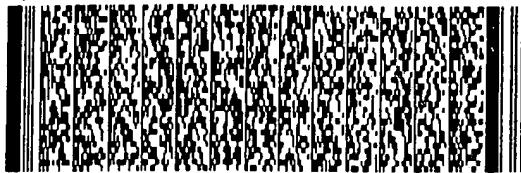
發明專利說明書

一、 發明名稱	中文	半導體元件及其製造方法
	英文	SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 管式凡 2. 吳國堅
	姓名 (英文)	1. Kuan Shih Fan 2. Kuo-Chien Wu
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 桃園縣蘆竹鄉南順七街32巷2號6樓 2. 苗栗市中苗里中正路547號
	住居所 (英 文)	1. 6F., No. 2, Lane 32, Nanshun 7st St., Lujhu Township, Taoyuan County 338, Taiwan (R.O.C.) 2. No. 547, Jungjeng Rd., Miaoli City, Taiwan 360, R.O.C.
	三、 申請人 (共1人)	名稱或 姓名 (中文)
	名稱或 姓名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAOYUAN, TAIWAN, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien

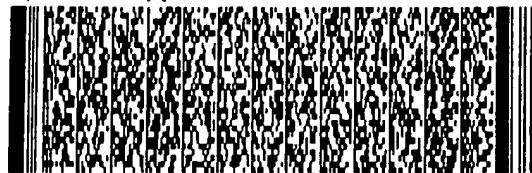


(4.5版)申請案件名稱:半導體元件及其製造方法

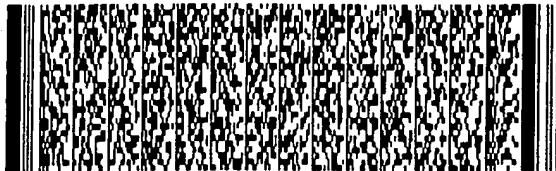
第 1/18 頁



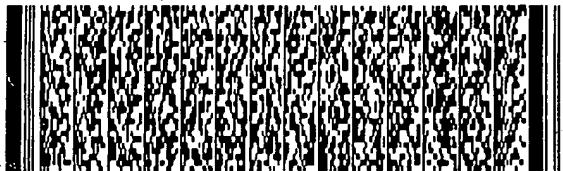
第 1/18 頁



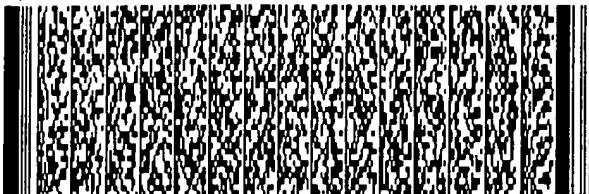
第 2/18 頁



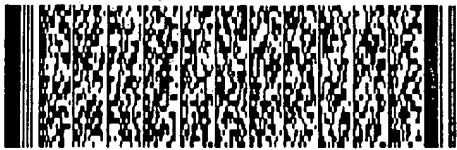
第 2/18 頁



第 3/18 頁



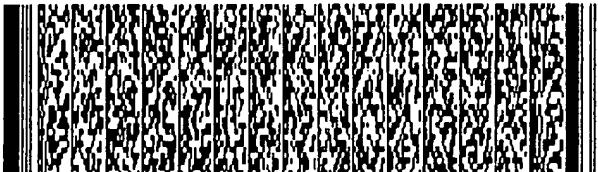
第 4/18 頁



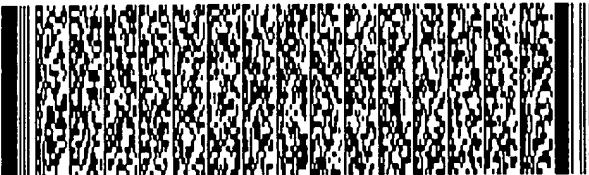
第 5/18 頁



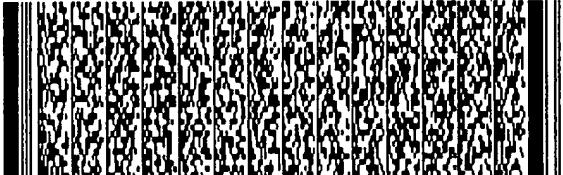
第 6/18 頁



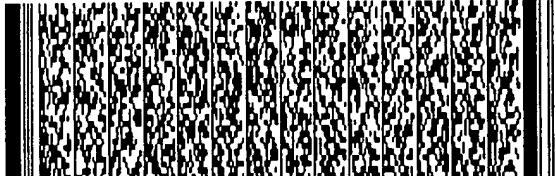
第 6/18 頁



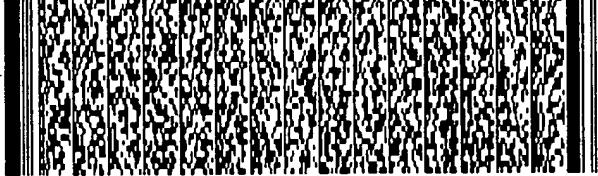
第 7/18 頁



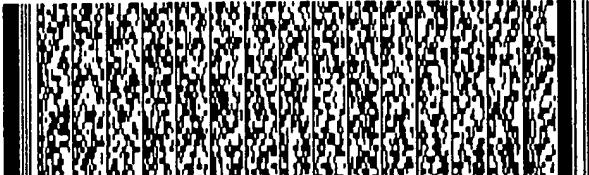
第 7/18 頁



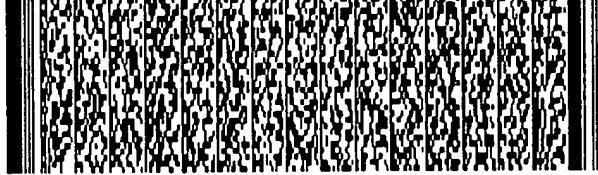
第 8/18 頁



第 8/18 頁



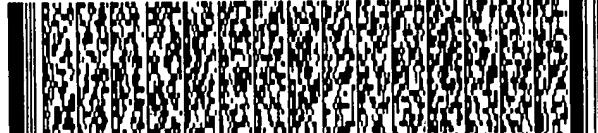
第 9/18 頁



第 9/18 頁

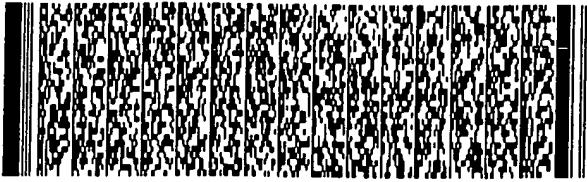


第 10/18 頁



(4.5版)申請案件名稱:半導體元件及其製造方法

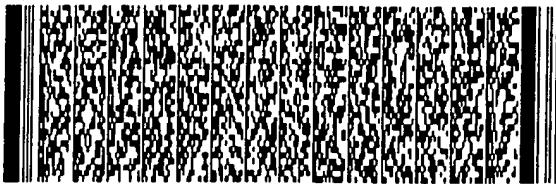
第 10/18 頁



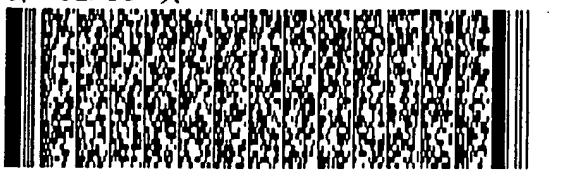
第 11/18 頁



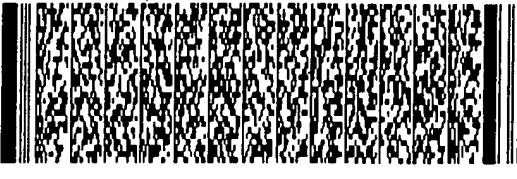
第 11/18 頁



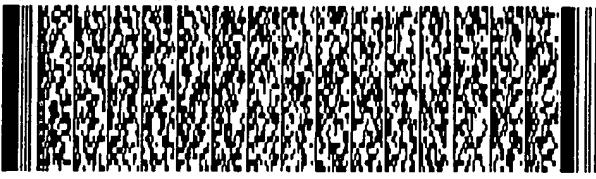
第 12/18 頁



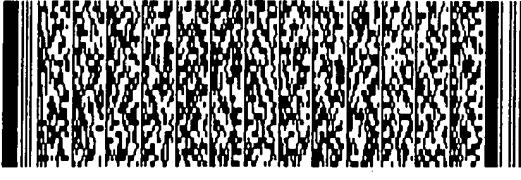
第 12/18 頁



第 13/18 頁



第 14/18 頁



第 14/18 頁



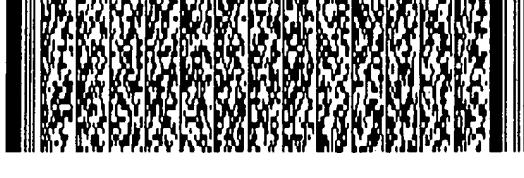
第 15/18 頁



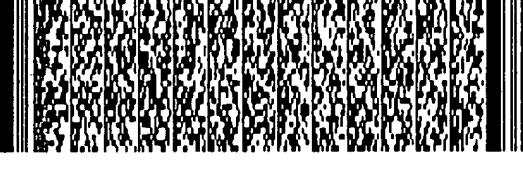
第 15/18 頁



第 16/18 頁



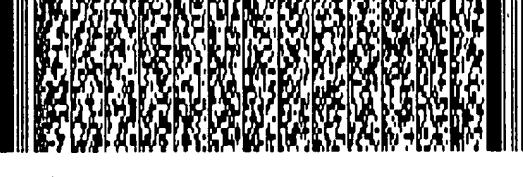
第 16/18 頁



第 17/18 頁



第 17/18 頁



第 18/18 頁

